

# Simulations sobres en énergie d'écoulements sur grille à raffinement de maillage adaptatif

## Contrat :

6 mois à la Maison de la Simulation et au L2S, CEA Paris-Saclay, France (<https://mdls.fr>, <https://l2s.centralesupelec.fr>).

Directeur de stage: Nicolas Gac, L2S Paris-Saclay ([page personnelle](#))

Courriel : nicolas.gac[at]l2s.centralesupelec.fr

Co-Directeur : Pascal Tremblin, MdS CEA Paris-Saclay ([site web personnel](#))

Téléphone: +33 1 69 08 59 67, Courriel : pascal.tremblin[at]cea.fr

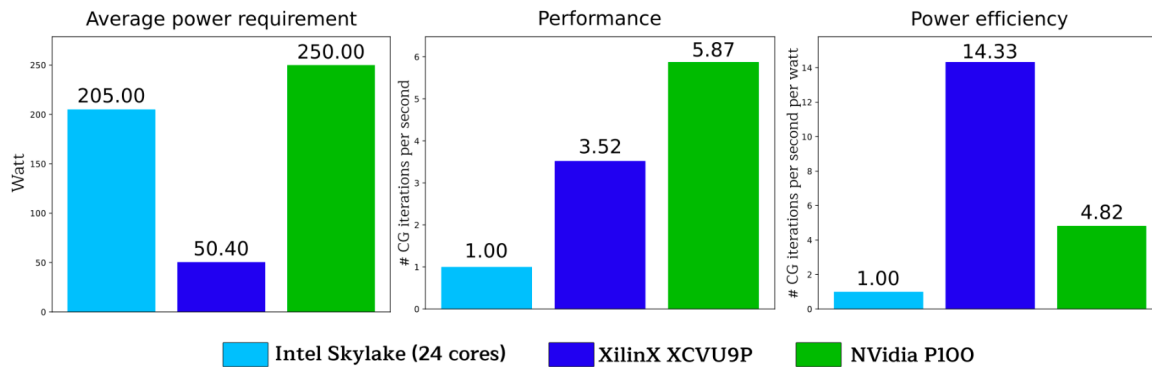
## Contexte & Role :

Un des défis majeurs de la conception des machines exascale reste la puissance électrique à mettre en œuvre pour leur opération, même avec des processeurs graphiques (GPUs). L'augmentation de l'efficacité énergétique des architectures de calcul est donc un enjeu majeur dans le contexte du numérique frugal. Les Field Programmable Gate Arrays (FPGA) utilisés massivement dans les systèmes embarqués et pour le traitement de données (e.g. à la Direction de la recherche technologique du CEA, DRT) représentent une voie très intéressante à explorer.

Les FPGAs sont des puces électroniques qui se situent entre des ASICs, des puces dédiées à certains traitements, et des processeurs conventionnels (CPU). Cette notion provient de l'aspect reconfigurable de ces dispositifs, les rendant plus flexibles que des ASICs (au prix d'une surface utile de silicium plus petite et d'un besoin en énergie plus important) mais beaucoup plus efficaces en termes d'énergie que les CPU ou même les GPUs.

Ils sont principalement utilisés dans le domaine de l'électronique embarquée avec des applications à faibles besoins énergétiques. Une productivité de développement faible, un manque de portabilité entre dispositifs et des temps de compilation très longs sont les contraintes fortes qui ont vraisemblablement empêché leur utilisation dans le domaine du HPC jusqu'ici. Mais l'apparition de modèles récents ayant de très grandes capacités, conjuguée avec des modèles de programmation de plus hauts niveaux, pourraient rendre leur utilisation possible dans les très grands calculateurs, aujourd'hui limités par le besoin en énergie électrique.

Dans le cadre du projet EXA2PRO, une première comparaison entre CPU, GPU et FPGA utilisant une technologie silicium comparable (16 nm) a déjà été réalisée. L'efficacité énergétique du FPGA combine sa performance avec son faible besoin en énergie et surpasse le GPU d'un facteur x3 et le CPU d'un facteur 15x sur des noyaux de calcul issus d'un code de dynamique moléculaire.



D'autre part, les écoulements multi-échelles modélisés sur des grilles à raffinement de maillage adaptatif (AMR) est une problématique d'intérêt majeur pour les différentes directions du CEA : la DRF (code dyablo), la DES (code canoP/TECNA), la DAM (code Hera) et la DRT (AMR pour la reconstruction d'image tomographique). Les algorithmes de calcul sur grille AMR sont par nature très hétérogènes et rendent difficile une exploitation optimale des GPUs pour ce type de problème.

A travers ce sujet de stage, nous proposons d'étendre l'étude du projet EXA2PRO à une étude des algorithmes AMR afin d'évaluer d'une part la faisabilité de leur implémentation par flux de données sur FPGA, et d'autre part les performances en comparaison à l'état de l'art sur CPU et GPU. Le sujet du stage se concentrera sur une exploration de la parallélisation sur FPGA des boucles de calcul sur un maillage raffiné statique. Nous proposons un sujet de thèse dans la foulée du stage pour explorer les aspects dynamiques et distribués :

- Une exploration de la parallélisation sur FPGA des algorithmes AMR pour adapter dynamiquement le maillage (raffinement, dé-raffinement, « 2 : 1 balance »)
- Parallélisation multi-FPGA et équilibrage de charge

Le modèle de programmation pour les FPGAs est aujourd'hui une question centrale et nous prévoyons de porter ces expérimentations d'abord avec Sycl/oneAPI puis potentiellement sur Xilinx Vitis, afin d'évaluer leur performance en termes de temps de prise en main, pérennité et performance par watt atteignable.

Côté matériel, il sera également intéressant d'évaluer les puces proposées par les deux principaux constructeurs. D'une part, le rachat d'Altera en 2015 par Intel pour 16.7 milliards de dollars montre ses premiers impacts avec des FPGAs qui commencent à intégrer des coeurs (AGILEX) et où le FPGA n'est donc plus un accélérateur avec tous les inconvénients que cela comporte (coût des communications host/device). La MdIS aura deux cartes AGILEX disponibles pour mener les expérimentations dans le cadre de la thèse, (serveur d'expérimentation mutualisé avec le CEA/DRT/LIST pour la plateforme SACHEMS). D'autre part, AMD a annoncé le rachat de Xilinx pour 35 milliards de dollars qui propose actuellement des FPGAs (Virtex UltraScale) interconnectés à de la High Bandwidth Memory (HBM) comme les GPUs actuels (disponible e.g. à PC2, Paderborn center for parallel computing).

Ce nouveau type d'architecture semble donc très prometteur pour une utilisation toujours plus énergétiquement efficace des ressources de calcul pour le HPC, le HPDA et l'IA.

### Références :

C. Prouveur, M. Haefele, N. Voss, "CPU and FPGA performance comparison of a conjugate gradient solver extracted from a molecular dynamics code", Platform for Advanced Scientific Computing (PASC) Conference, 2020 (<https://zenodo.org/record/5363017#.Y0XLoS0ivRY>)

Maxime Martelli, Nicolas Gac, Alain Mérigot, Cyrille Enderli. 3D Tomography back-projection parallelization on Intel FPGAs using OpenCL. Journal of Signal Processing Systems, Springer, 2018, (10.1007/s11265-018-1403-6). (hal-01831884)

Tianqi Wang; Tong Geng; Xi Jin; Martin Herbordt "FP-AMR: A Reconfigurable Fabric Framework for Adaptive Mesh Refinement Applications" 2019 IEEE 27th Annual International Symposium on Field-Programmable Custom Computing Machines (FCCM) <https://ieeexplore.ieee.org/document/8735523>

D. Aubert, A. Durocher, "Ginea and Dyablo" SF2A 2021, <http://sf2a.eu/proceedings/2021/2021sf2a.conf.473A.pdf>

T. Padioleau, P. Tremblin, E. Audit, P. Kestener, and S. Kokh, A High-performance and Portable All-Mach Regime Flow Solver Code with Well-balanced Gravity. Application to Compressible Convection 2019 ApJ 875 128 <https://iopscience.iop.org/article/10.3847/1538-4357/ab0f2c>

### Compétences requises :

- Master ou équivalent en informatique ou HPC.
- Connaissance opérationnelle des techniques et du langage de programmation (C ou C++) pour le développement d'applications et des paradigmes de calcul parallèle.
- Travail en équipe

### Pour postuler :

Pour postuler, envoyez un CV et une lettre de motivation à [pascal.tremblin\[at\]cea.fr](mailto:pascal.tremblin@cea.fr) et [nicolas.gac\[at\]l2s.centralesupelec.fr](mailto:nicolas.gac@l2s.centralesupelec.fr), et faites en sorte que 2 lettres de référence soient transmises aux mêmes adresses électroniques.